

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209757

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H03B 28/00

H04M 1/00

(21)Application number : 09-024280

(71)Applicant : ROHM CO LTD

(22)Date of filing : 23.01.1997

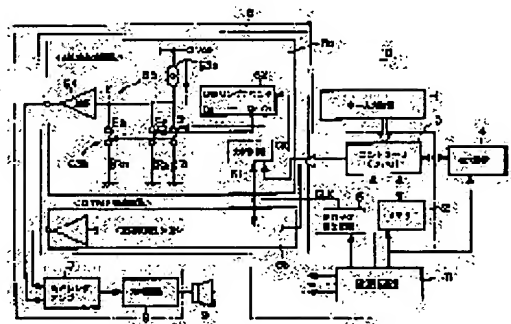
(72)Inventor : HOSHINO TAICHI

(54) SINE WAVE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a circuit scale and to enable one-chip IC-implementation, including peripheral circuits by outputting N outputs in sequence with shift pulses by using an N-ary ring counter and sequentially generating an analog signal of one cycle of a sine wave.

SOLUTION: Outputs of respective N flip-flop stages of the N-ary ring counter 62 are supplied to N switch circuits 63b, and a bit position is shifted in specific cycles with shift pulses generated by dividing the clock CLK of a clock generating circuit 5 through a frequency dividing circuit 61 to turn ON and OFF the switch circuits 63b on and off in sequence, thereby generating a sine wave analog signal, cycle by cycle by the switch circuits 63b. At this time, the position of one bit is cycled and an unlimited number of cycles can easily be generated with the same sine wave. The frequency is adjusted by varying the frequency division ratio of the frequency-dividing circuit 61. Consequently, the need for an arithmetic circuit, a ROM, and an address counter can be eliminated to reduce the circuit scale.



LEGAL STATUS

[Date of request for examination]

10.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209757

(43) 公開日 平成10年(1998) 8月7日

(51) Int. CL⁶

類別記号

F I

H 0 3 B 28/00

H 0 3 B 28/00

C

H 0 4 M 1/00

H 0 4 M 1/00

J

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平9-24230

(22) 出願日 平成9年(1997) 1月23日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院瀬崎町21番地

(72) 発明者 星野 太一

京都市右京区西院瀬崎町21番地 ローム株

式会社内

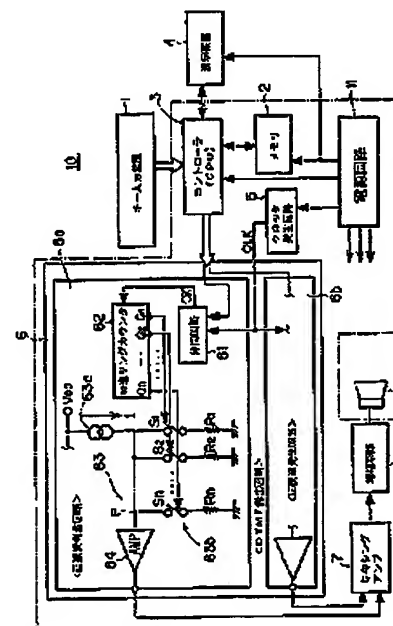
(74) 代理人 弁護士 梶山 信是 (外1名)

(54) 【発明の名称】 正弦波発生回路

(57) 【要約】

【課題】 回路規模が小さく、周辺回路を含めてワンチップ I C 化がし易い正弦波発生回路を提供することにある。

【解決手段】 N 進リングカウンタと、この N 進リングカウンタの各段に対応して設けられ各段の出力をそれぞれ受けて ON/OFF する N 個のスイッチ回路と、正弦波の 1 サイクル分の値を N 個のサンプル値に分割してそれぞれのサンプル値を順次 N 個のスイッチ回路の 1 番目から N 番目までに対応して設けられたアナログ値発生する N 個の回路に割り当てスイッチ回路が ON あるいは OFF したときにそれぞれのサンプル値を所定の出力に発生するアナログ値発生回路と、出力を受けるアンプとを備えて、N 進リングカウンタに所定の周期のシフトパルスを加えて、正弦波を発生するものである。



(2)

特開平10-209757

1

2

【特許請求の範囲】

【請求項1】N進リングカウンタと、このN進リングカウンタの各段に対応して設けられ前記各段の出力をそれぞれ受けてON/OFFするN個のスイッチ回路と、正弦波の1サイクル分の値をN個のサンプル値に分割してそれぞれのサンプル値を順次前記N個のスイッチ回路の1番目からN番目までに対応して設けられたアナログ値を発生するN個の回路に割り当て前記スイッチ回路の1つが選択的にONあるいはOFFしたときにそれぞれの前記サンプル値を所定の出力に発生するアナログ値発生回路とを備え、前記N進リングカウンタに所定の周期のシフトパルスを加えて、正弦波を発生する正弦波発生回路。

【請求項2】さらに、前記出力を受けるアンプと、クロック発生回路と、n分周の制御信号に応じて前記クロック発生回路のクロックをn分周して出力する分周回路と、前記n分周の制御信号を発生するコントロール回路とを備え、前記分周回路の出力を前記シフトパルスとして前記N進リングカウンタに送出し、前記nの値を変更することにより異なる周波数の正弦波を発生する請求項1記載の正弦波発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、正弦波発生回路に関し、詳しくは、電話番号をトーンで発生するトーンダイアラールやPHS、携帯電話装置など無線送受信機能等を有する電話装置の正弦波発生回路、そして各種の変調回路、復調回路の正弦波発生回路等、いわゆるSIN波の信号を発生するSIN波発生回路において、IC化に適した簡単な回路で精度の高いアナログ値のSIN波を発生することができるとする正弦波発生回路に関する。

【0002】

【従来の技術】トーンダイアラールやPHS、携帯電話装置など無線送受信機能等を有する電話装置にあっては、DTMF信号（2階調多周波信号方式）で変調した信号を用いてダイヤルデータ（テンキーの入力データ）を回線に送り出している。この場合に発生するDTMF信号は、通常、周波数の相違するSIN波の発振回路を用いて生成される。

【0003】例えば、トーンダイアラールのDTMF信号の周波数としては、低域周波側が700Hz～950Hz程度の範囲で4種類の周波数の1つを、そして高域周波側が1200Hz～1500Hzの範囲で3種類程度の周波数を発生し、これら低域周波と高域周波とを組み合わせることで2周波トーンのダイヤル信号を生成している。従来は、DTMF信号の発生回路は、アナログの発振回路が用いられているが、トーンダイアラールやPHS、携帯電話装置などでは、デジタル処理が主体となる関係で、演算回路、あるいはROM等にSIN波のデータを記憶しておき、デジタル値からアナログ値にD/A変

換してSIN波を発生させている。

【0004】

【発明が解決しようとする課題】この種のデジタル値からアナログ値にD/A変換してSIN波を発生させる従来の代表的な回路としては図3に示すようなものになる。図3において、正弦波を所定の周期でサンプリングして所定のビット数（nbit）でA/D変換して得られる1サイクル分の複数のデジタル値を順に発生する演算回路21と、この演算回路21により発生するnビットのデジタル値をD/A変換して所定のSIN波を発生するnbit D/A変換回路22と、D/A変換回路22の出力を増幅するアンプ23とからなる。なお、演算回路21は、例えば、1サイクル分のSIN波の値をデジタル値で記憶したROMとこのROMのアドレスを順次循環的にアクセスするアクセス回路とにより構成されていてもよい。

【0005】このような回路において、より正確なSIN波を発生させるにはD/A変換するビット数を6ビット程度か、あるいはそれ以上に増加させる必要がある。それに応じて演算回路あるいはROMの記憶容量と、これらが扱うビット数も大きなものにならざるを得ない。その結果、この種の正弦波発生回路では、回路規模が大きくなり、周辺回路を含めたワンチップIC化が難しくなる。そこで、トーンダイアラール等のような携帯用の小型の装置にあっては各種回路の格納がし難くなる。この発明の目的は、このような従来技術の問題点を解決するものであって、回路規模が小さく、周辺回路を含めてワンチップIC化がしやすい正弦波発生回路を提供することにある。

【0006】

【課題を解決するための手段】このような目的を達成するためのこの発明の正弦波発生回路の構成は、N進リングカウンタと、このN進リングカウンタの各段に対応して設けられ各段の出力をそれぞれ受けてON/OFFするN個のスイッチ回路と、正弦波の1サイクル分の値をN個のサンプル値に分割してそれぞれのサンプル値を順次N個のスイッチ回路の1番目からN番目までに対応して設けられたアナログ値を発生するN個の回路に割り当て前記スイッチ回路の1つが選択的にONあるいはOFFしたときにそれぞれのサンプル値を所定の出力に発生するアナログ値発生回路とを備えて、N進リングカウンタに所定の周期のシフトパルスを加えて、正弦波を発生するものである。

【0007】

【発明の実施の形態】このように、N進リングカウンタを使用し、そのN個のフリップフロップの各段の出力をN個のスイッチ回路に加えて、“1”あるいは“0”の1ビットの位置をシフトパルスにより所定の周期でシフトさせることで、1番目からN番目までのスイッチ回路を順番にかつ選択的にONあるいはOFFにして、正弦波1サイクル分のアナログ値の電圧信号あるいは電流信

(3)

特開平10-209757

3

号を選択されたスイッチ回路の順に応じて発生させる。この場合に、N進リングカウンタを使用しているので、1ビットの位置は循環することになるので、同じ正弦波を何サイクルも簡単に発生させることが容易にできる。【0008】また、分周回路を設けて分周比を変えることで、N進リングカウンタの1ビットのシフトする周期を変えれば、異なる周波数の正弦波を容易に発生させることができる。このように、リングカウンタを用いることで、演算回路やROM、アドレスカウンタなどを用いなくても済み、回路規模を低減することができる。しかも、通常のデジタル値をA/D変換して正弦波のアナログ値を得る場合よりも正確な正弦波を発生させることができる。

【0009】

【実施例】図1は、この発明の正弦波発生回路を携帯用のトーンダイアラに適用した場合の一実施例のブロック図。図2は、そのDTMF発生回路による発生波形の説明図である。図1において、10は、トーンダイアラであって、キー入力装置1と、各種のデータを記憶するメモリ2と、入力キーに応じてメモリ2をアクセスしてダイヤルデータと分周比についての制御信号等を生じかつ装置のコントロールをするコントローラ(CPU)3、表示装置4、クロック発生回路5、DTMF発生回路6、ミキシングアンプ7、増幅回路8、トーンカップル用のスピーカ9、そしてコントローラ3と内部回路に電力を供給する電源回路11等が設けられている。なお、一点鎖線の枠で囲った部分が他の周辺回路とともにワンチップIC化されている回路部分である。

【0010】DTMF発生回路6は、低域側と高域側の2つの正弦波発生回路6a、6bを有していて、2周波数トーンを発生するための2種類のSIN波を発生する回路である。これらの正弦波発生回路は同一の構成になっているので、正弦波発生回路6aについてその内部構成を説明すると、これは、分周回路61によりクロック発生回路5のクロックCLKを分周して、分周されたクロックCKの出力によりN進リングカウンタ62にシフトパルスを加える。これによりN進リングカウンタ62の「1」のビットのシフト出力を分周したクロックの周期でシフトさせて階段に出力させる。N進リングカウンタ62の各段のフリップフロップの出力は、SIN波専用のアナログ値発生回路63に加えらる。アナログ値発生回路63の出力は、アンプ(AMP)64により増幅されてSIN波としてミキシングアンプ7に送出される。

【0011】ここで、N進リングカウンタ62のシフトされるビット出力の周期は、クロックCKに応じて変化する。この周期を決定する分周回路5の分周比nは、コントローラ3からの分周比を決める制御信号による。低域側の正弦波発生回路6aと高域側の正弦波発生回路6bとは、分周比が相違っていて、正弦波発生回路6aの方が大きい。分周比nの値が大きいと発生する周波数は

4

低くなる。これにより低域周波側の正弦波発生回路6aが700Hz～950Hz程度の範囲で選択された4種類の周波数の1つを発生し、高域周波側の正弦波発生回路6bが1200Hz～1500Hzの範囲で3種類程度の周波数の1つを発生する。

【0012】ここで、アナログ値発生回路63は、電源ラインVccに接続された電流値iの定電流回路63aと定電流回路63aの出力端子とグランドGND間に並列に接続されたスイッチ回路と抵抗のN個の直列回路63bとからなる。N個パラレルな直列回路63bは、それぞれスイッチ回路S1と抵抗R1、スイッチ回路S2と抵抗R2、…スイッチ回路Snと抵抗Rnとの直列回路で構成されている。そして、定電流回路63aとN個パラレルな直列回路63bとの接続点Pがアンプ64の入力に接続されている。

【0013】このような構成のアナログ値発生回路63は、デジタル値に対応してアナログ値を変換するものではなく、スイッチ回路S1、S2、…、Snと順番に選択して1個だけスイッチ回路をONしていくことで、選択されたスイッチ回路の抵抗R1、R2、…、Rnのいずれかの抵抗値と定電流回路63aの電流値iとにより決定される、そのときのタイミングで必要となるSIN波のアナログ電圧値を接続点Pに発生して、アンプ64に供給する。これにより定振幅のSIN波を発生させる。そのため、各スイッチ回路S1～Snは、例えば、トランジスタで構成され、そのベースあるいはゲートの制御電極に「1」(HIGHレベルの信号)を受けたときにONになり、「0」(LOWレベルの信号)を受けたときにOFFになる。このON/OFFのために、「1」、「0」のビット信号がN進リングカウンタ62の1ビットのシフト出力としてそれぞれのスイッチ回路S1～Snに加えられる。このとき、「1」のビット出力がクロックCKの周期で順次シフトされて各段に移っていく。

【0014】さて、従来の図3に示す回路において、デジタル値をA/D変換した場合には、図2(a)に示す「・」のように量子化誤差eが発生する。A/D変換したデータは、一般的にあるレベル範囲(図2(a)の昇目のレベル参照)においてそれぞれのデジタル値に変換されるために、階段状のずれが生じ、かつ、ある変換範囲では、そのうちの低いレベルの変換デジタル値に合わせられるので、各データにより逆にD/A変換した場合には本来発生すべきアナログ値よりも低い値の「・」のアナログ値になる。一方、前記のように「1」のビットをスイッチングデータとして利用して、リングカウンタによりクロックCKのタイミングで順次シフトされることでアナログ値の発生タイミングを計り、スイッチ回路を順次ONさせる。このことで各SIN波のアナログ値を発生するようにすれば、図2(b)に示すように、前記のような量子化誤差eのずれが発生しない。

【0015】今仮に、分周回路61によりクロック発生

(4)

特開平10-209757

5

6

回路5のクロックCLKを分周して得られるクロックCKの周期を nT とし、この周期でN進リングカウンタ62の初段のフリップフロップに“1”をセットして、この“1”のビットが順次各段にシフトしていくとする。各段の“1”の出力により、スイッチ回路S1、S2、…、Snが1つつ順次周期 nT で切り換えられ、順番にかつ選択的にONしていき、他はOFFになって、SIN波のサンプリング値に相当するSIN波のアナログ値が周期 nT で順次発生し、これらサンプリング値の集合として1サイクル分の信号値が発生する。そして、N進リングカウンタ62の“1”ビットが初段に戻り、これが繰り返される。この場合のクロックCKの周期 nT は、分周回路62がクロック発生回路5のクロックCLKを受けてコントローラ3からの制御信号に応じて決定される分周比 n で分周した結果である。

【0016】そこで、コントローラ3が分周比 n を変更することで、図2(c)に示すように、分周比に応じた周波数のSIN波がそれぞれの低域側の正弦波発生回路6aと高域側の正弦波発生回路6bに発生する。そして、コントローラ3は、キー入力装置1から入力されたキーに応じてメモリ2をアクセスして正弦波発生回路6aと正弦波発生回路6bの分周比 n を入力キーに応じて発生させて、入力されたキーに対応する2周波数トーンの信号を発生させる。このような2周波数トーンの信号は、それぞれミキシングアンプ7でミキシングされ、増幅回路8に加えられる。そして、ここで、増幅されてトーンカップル用のスピーカ9から出力されて、電話機の送話機へとカップリング出力される。なお、表示装置4は、コントローラ3からの信号を受けて入力キー等の内容を表示する。

【0017】以上説明してきたが、実施例では、N進リングカウンタを用いて、“1”のビットをシフトするようにしているが、N進リングカウンタにより“0”のビットをシフトさせてアナログ値発生回路のスイッチ回路をONするような構成を採ることもできる。また、アナログ値発生回路の抵抗を用いた並列回路を、抵抗を用いた直列回路に換えてスイッチ回路を順次OFFすることでSIN波のアナログ値を発生させるようにすることもできる。実施例では、トーンダイアラーを中心にして説明してきたが、この発明は、PHSや携帯電話装置をはじめとして各種のSIN波を用いる変調回路や復調回路に適用できることはもちろんである。

*【0018】

【発明の効果】以上の説明から理解できるように、この発明にあつては、N進リングカウンタを使用し、そのN個のフリップフロップの各段の出力をN個のスイッチ回路に加えて、“1”あるいは“0”の1ビットの位置をシフトパルスにより所定の周期でシフトさせることで、1番目からN番目までのスイッチ回路を順番にかつ選択的にONあるいはOFFにして、正弦波1サイクル分のアナログ値の電圧信号あるいは電流信号を選択されたスイッチ回路の順に応じて発生させる。この場合に、N進リングカウンタを使用しているため、1ビットの位置は循環することになるので、同じ正弦波を何サイクルも簡単に発生させるようにしているため、演算回路やROM、アドレスカウンタなどを用いなくても済み、回路規模を低減することができる。しかも、通常のデジタル値をA/D変換して正弦波のアナログ値を得る場合よりも正確な正弦波を発生させることができる。その結果、この正弦波発生回路の規模が小さくでき、周辺回路を含めたワンチップIC化がし易くなる。そこで、特に、携帯用の小型の装置に格納し易くなる。

【図面の簡単な説明】

【図1】図1は、この発明の正弦波発生回路を携帯用のトーンダイアラーに適用した場合の一実施例のブロック図である。

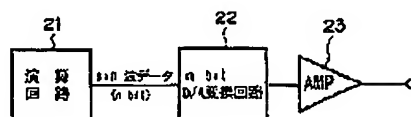
【図2】図2は、そのDTMF発生回路による発生波形の説明図であつて、(a)は、従来のD/A変換の場合のSIN波のアナログ値の発生についての説明図、(b)は、アナログ値発生回路によるSIN波のアナログ値の発生についての説明図、(c)は、正弦波発生回路の発生波形の説明図である。

【図3】図3は、従来のトーンダイアラー等における正弦波発生回路の一般的な構成の説明図である。

【符号の説明】

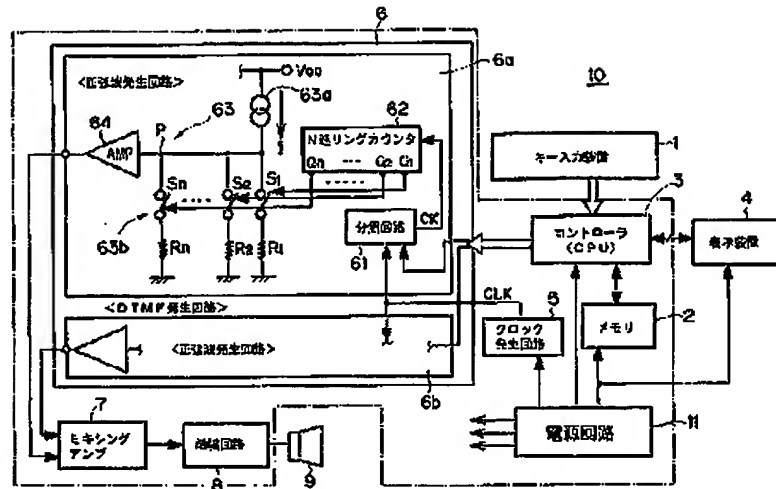
1…キー入力装置、2…メモリ、3…コントローラ(CPU)、4…表示装置、5…クロック発生回路、6…DTMF発生回路、6a、6b…正弦波発生回路、7…ミキシングアンプ、8…増幅回路9…トーンカップル用のスピーカ、10…トーンダイアラー、11…電源回路、61…分周回路、62…N進リングカウンタ、63…アナログ値発生回路、63a…定電流回路、63b…スイッチ回路と抵抗の直列回路、64…アンプ(AMP)。

【図3】



特開平10-209757

【图 1】



【圖2】

